

PATENT
8070-1005

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Akiro YOSHINO
Appl. No.: NEW NON-PROVISIONAL
Filed: November 20, 2003
Title: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE
AND METHOD FOR MANUFACTURING SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 20, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-357171	December 9, 2002

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2002年12月 9日

出願番号
Application Number:

特願 2002-357171

[ST. 10/C]:

[JP 2002-357171]

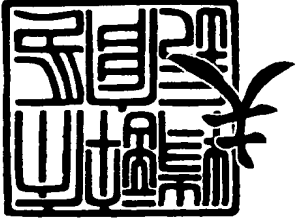
出願人
Applicant(s):

NECエレクトロニクス株式会社

特許庁長官
Commissioner,
Japan Patent Office

今井 康

2003年 8月13日



【書類名】 特許願

【整理番号】 74112759

【提出日】 平成14年12月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 N E C エレクト
ロニクス株式会社内

【氏名】 吉野 明

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100114672

【弁理士】

【氏名又は名称】 宮本 恵司

【電話番号】 042-730-6520

【手数料の表示】

【予納台帳番号】 093404

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217061

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】

ビット線となる拡散層が形成された半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を介して、ワード線となる導電層が形成され、前記絶縁膜に捕獲される電荷を用いて情報の記憶が行われる不揮発性半導体記憶装置において、

前記絶縁膜は、前記拡散層上及び相隣り合う拡散層間のチャネル領域上の双方に略平坦に形成され、

前記導電層は、少なくとも前記チャネル領域の前記絶縁膜上に形成された第 1 の導電層と、該第 1 の導電層を覆う第 2 の導電層とを含むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記拡散層領域の前記絶縁膜上に、前記第 1 の導電層を酸化して形成された酸化膜を備えることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

ビット線となる拡散層が形成された半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を介して、ワード線となる導電層が形成され、前記絶縁膜に捕獲される電荷を用いて情報の記憶が行われる不揮発性半導体記憶装置において、

前記絶縁膜は、相隣り合う拡散層間のチャネル領域上に略平坦に形成され、

前記導電層は、少なくとも前記チャネル領域の前記絶縁膜上に形成された第 1 の導電層と、該第 1 の導電層を覆う第 2 の導電層とを含むことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

前記拡散層領域上に、前記第 1 の導電層及び前記絶縁膜を酸化して形成された

酸化膜を備えることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

少なくとも前記拡散層領域上に、前記積層構造の絶縁膜よりも膜厚の薄い酸化膜を備えることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 1 の導電層は、多結晶あるいは非晶質のシリコン又はシリコン化合物を含み、前記第 2 の導電層は、ポリシリコン又は高融点金属シリサイドを含むことを特徴とする請求項 1 乃至 5 のいずれか一に記載の不揮発性半導体記憶装置。

【請求項 7】

前記絶縁膜は、シリコン酸化膜とシリコン窒化膜とがこの順に積層された ON 膜、又は、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とがこの順に積層された ONO 膜からなることを特徴とする請求項 1 乃至 6 のいずれか一に記載の不揮発性半導体記憶装置。

【請求項 8】

半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を形成し、ビット線となる拡散層及びワード線となる導電層を形成し、前記絶縁膜に捕獲される電荷を用いて情報の記憶を行う不揮発性半導体記憶装置の製造方法であって、

前記絶縁膜形成後、該絶縁膜上に第 1 の導電層を形成し、前記第 1 の導電層及び前記絶縁膜を通して前記拡散層形成の不純物注入を行い、前記第 1 の導電層上に第 2 の導電層を堆積して 2 層構造の前記導電層を形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 9】

半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を形成し、ビット線となる拡散層及びワード線となる導電層を形成し、前記絶縁膜に捕獲される電荷を用いて情報の記憶を行う不揮発性半導体記憶装置の製造方法であって、

前記絶縁膜形成後、該絶縁膜上に第1の導電層を形成し、前記拡散層形成領域の前記第1の導電層を除去した後、前記絶縁膜を通して前記拡散層形成の不純物注入を行い、前記第1の導電層上に第2の導電層を堆積して2層構造の前記導電層を形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項10】

前記拡散層上の前記第1の導電層、又は、前記絶縁膜及び前記第1の導電層を、熱酸化又はラジカル酸化により酸化膜に変換することを特徴とする請求項8又は9に記載の不揮発性半導体記憶装置の製造方法。

【請求項11】

前記絶縁膜は、シリコン酸化膜とシリコン窒化膜とがこの順に積層されたON膜、又は、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とがこの順に積層されたONO膜からなることを特徴とする請求項8乃至10のいずれかに記載の不揮発性半導体記憶装置の製造方法。

【請求項12】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなるONO膜を形成する工程と、

前記ONO膜上に第1の導電層を形成する工程と、

前記第1の導電層上にレジスト、シリコン酸化膜又はシリコン窒化膜からなるマスクパターンを形成する工程と、

前記マスクパターンを用いて、前記第1の導電層及び前記絶縁膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを除去した後、第2の導電層を形成し、前記第1の導電層及び前記第2の導電層からなる2層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項13】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなるONO膜を形成する工程と、

前記ONO膜上に第1の導電層を形成する工程と、

前記第1の導電層上にレジスト、シリコン酸化膜又はシリコン窒化膜からなる

マスクパターンを形成する工程と、

前記マスクパターンを用いて、露出した前記第 1 の導電層を除去する工程と、

前記マスクパターンを用いて、前記絶縁膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを除去した後、第 2 の導電層を形成し、前記第 1 の導電層及び前記第 2 の導電層からなる 2 層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 14】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなる ONO 膜を形成する工程と、

前記 ONO 膜上に第 1 の導電層を形成する工程と、

前記第 1 の導電層上にシリコン窒化膜からなるマスクパターンを形成する工程と、

前記マスクパターンを用いて、前記第 1 の導電層及び前記絶縁膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを用いて、露出した前記第 1 の導電層を熱酸化又はラジカル酸化して、前記絶縁膜を構成する前記シリコン窒化膜上に酸化膜を形成する工程と、

前記マスクパターンを除去した後、第 2 の導電層を形成し、前記第 1 の導電層及び前記第 2 の導電層からなる 2 層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 15】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなる ONO 膜を形成する工程と、

前記 ONO 膜上に第 1 の導電層を形成する工程と、

前記第 1 の導電層上にシリコン窒化膜からなるマスクパターンを形成する工程と、

前記マスクパターンを用いて、前記第 1 の導電層及び前記絶縁膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを用いて、露出した前記第 1 の導電層及びその下層の前記絶縁膜を熱酸化又はラジカル酸化して、前記拡散層上に酸化膜を形成する工程と

前記マスクパターンを除去した後、第 2 の導電層を形成し、前記第 1 の導電層及び前記第 2 の導電層からなる 2 層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 16】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなる ONO 膜を形成する工程と、

前記 ONO 膜上に第 1 の導電層を形成する工程と、

前記第 1 の導電層上に第 1 のシリコン窒化膜からなるマスクパターンを形成する工程と、

第 2 のシリコン窒化膜の堆積及びエッチバックにより、前記マスクパターン側壁に所定の厚さのサイドウォール膜を形成する工程と、

前記サイドウォールによって開口幅が規定された前記マスクパターンを用いて、前記第 1 の導電層及び前記絶縁膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターン及び前記サイドウォール膜を除去した後、第 2 の導電層を形成し、前記第 1 の導電層及び前記第 2 の導電層からなる 2 層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 17】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなる ONO 膜を形成する工程と、

前記 ONO 膜上に第 1 の導電層を形成する工程と、

前記第 1 の導電層上にシリコン窒化膜からなるマスクパターンを形成する工程と、

前記マスクパターンを用いて、露出した前記第 1 の導電層を除去する工程と、

前記マスクパターンを用いて、前記絶縁膜を通して不純物注入を行い、前記半

導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを用いて、露出した前記絶縁膜を除去する工程と、

少なくとも前記拡散層上と前記絶縁膜及び前記第1の導電層側壁とに、前記絶縁膜よりも膜厚の薄い酸化膜を形成する工程と、

前記マスクパターンを除去した後、第2の導電層を形成し、前記第1の導電層及び前記第2の導電層からなる2層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項18】

シリコン基板上に、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなるONO膜を形成する工程と、

前記ONO膜上に第1の導電層を形成する工程と、

前記第1の導電層上にシリコン窒化膜からなるマスクパターンを形成する工程と、

前記マスクパターンを用いて、露出した前記第1の導電層及びその下層の前記絶縁膜を除去する工程と、

少なくとも前記拡散層上と前記絶縁膜及び前記第1の導電層側壁とに、前記絶縁膜よりも膜厚の薄い酸化膜を形成する工程と、

前記マスクパターンを用いて、前記酸化膜を通して不純物注入を行い、前記半導体基板にビット線となる拡散層を形成する工程と、

前記マスクパターンを除去した後、第2の導電層を形成し、前記第1の導電層及び前記第2の導電層からなる2層構造のワード線を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項19】

前記第1の導電層は、多結晶あるいは非晶質のシリコン又はシリコン化合物を含み、前記第2の導電層は、ポリシリコン又は高融点金属シリサイドを含むことを特徴とする請求項8乃至18のいずれか一に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に関し、特に、積層構造の絶縁膜に捕獲される電荷を用いて情報の記憶を行うMNOS (Metal Nitride Oxide Semiconductor) 型又はMONOS (Metal Oxide Nitride Oxide Semiconductor) 型不揮発性半導体記憶装置及びその製造方法に関する。

【0002】**【従来の技術】**

フラッシュメモリと呼ばれる不揮発性半導体記憶装置では、記憶素子としてFG (Floating Gate) 型トランジスタが一般に用いられている。このFG型トランジスタは、2層のゲート電極の構造において、第1ゲート電極である浮遊ゲート電極に情報電荷を蓄積するものである。この構造では、第1ゲート電極が半導体基板主面のシリコン酸化膜上にフローティング状に形成され、この第1ゲート電極の上部にシリコン酸化膜とシリコン窒化膜を複合した層間絶縁膜が設けられ、更にこの層間絶縁膜の上部に制御ゲート電極である第2ゲート電極が形成される。

【0003】

しかしながら、FG型トランジスタでは情報電荷の保持特性は原理的には余りよくなく、半導体基板主面と浮遊ゲート電極との間のトンネル酸化膜として9 nm以上の比較的厚いシリコン酸化膜が必要になる。このために、情報電荷の書き込み・消去の低電圧化に限界が生じる。

【0004】

そこで、近年、シリコン酸化膜とシリコン窒化膜の積層膜を備えたMNOS型又はMONOS型トランジスタが用いられるようになってきている。MNOS型トランジスタは、2層構造のゲート絶縁膜において、2層の絶縁膜の境界領域に形成される界面準位あるいは絶縁膜中の電荷捕獲準位に情報電荷を蓄積するものであるため、半導体基板主面とシリコン窒化膜との間のトンネル酸化膜の薄膜化が容易であり、3 nm以下の薄いシリコン酸化膜が使用できる。このために、動作電圧、特に、情報電荷の書き込み・消去の電圧の低減が原理的に可能である。

【0005】

上記MNOS型トランジスタでは、半導体基板主面に形成した2nm程度の膜厚のシリコン酸化膜の直接トンネルを通して、半導体基板から上記界面領域に電子を注入し情報電荷の書き込みが行われ、逆に界面領域から半導体基板に電子を放出することで情報電荷の消去が行われる。この情報電荷の書き込み状態が記憶情報の論理1に相当し、情報電荷の消去状態が記憶情報の論理0に相当する。そこで、原理的に書き込み・消去の低電圧化が可能なM(O)NOS型トランジスタをフラッシュメモリ等の不揮発性半導体記憶装置の記憶素子として実用に供すべく、種々の検討が精力的になされてきている。

【0006】

MONOS型トランジスタをフラッシュメモリの不揮発性半導体記憶素子とするものとして、例えば、米国特許第5,768,192号にその基本構造が開示された記憶素子がある。更に、最近では不揮発性メモリの製造プロセスを大幅に簡素化できる技術がNROM (Nitride Read Only Memory) として、米国特許第5,966,603号に開示されている。この場合の不揮発性記憶素子の基本構造は、上記米国特許5,768,192号に開示されたものと同じである。

【0007】

以下、従来のNROMの製造方法について図9を参照して説明する。図9は、NROMのワード線での切断面を示す工程断面図である。

【0008】

まず、図9(a)に示すように、シリコン基板1表面に熱酸化によりシリコン酸化膜を形成し、その上に化学気相成長(CVD)法でシリコン窒化膜を成膜した後、このシリコン窒化膜を通常の熱酸化あるいはラジカル酸化でその表面をシリコン酸化膜に変える。このようにして、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の3層構造からなるONO膜3を形成する。

【0009】

次に、図9(b)に示すように、公知のリソグラフィ技術を用いて、ONO膜3上に短冊状(スリット状)の拡散層パターンを有するレジストパターン6を形成する。そして、レジストパターン6をエッチングマスクとして公知のエッチング技術を用いて露出したONO膜3をエッチング除去する。

【0010】

次に、図9（c）に示すように、レジストパターン6をイオン注入マスクとしてヒ素等のN型不純物をイオン注入した後、レジストパターン6を除去する。

【0011】

次に、図9（d）に示すように、全面を熱酸化する。この熱酸化により拡散層2上に、膜厚が110nm程度の拡散層上絶縁膜13が形成される。

【0012】

次に、図9（e）に示すように、導電層14として、膜厚が50nm程度のポリシリコンと膜厚が150nm程度のタンゲステンシリサイド膜を連続成長し、公知のリソグラフィ技術とドライエッチング技術とを用いて加工し、ワード線を形成する。

【0013】

上記製造方法により、シリコン基板1上に拡散層2からなるNROMセルのビット線が形成され、ONO膜3により情報電荷の書き込み・消去の領域が形成される。そして、ビット線に直交してワード線が配設され、NROMセルの基本構造が出来上がる。

【0014】

次に、上記NROMセルの基本構造となるMONOS型トランジスタの基本動作について説明する。情報電荷（ここでは電子）の書き込み動作では、例えば、図10（a）に示すように、シリコン基板1および第1拡散層2aは接地電位に固定され、第2拡散層2bの V_W は3Vに、ゲート電極15の V_{GW} は5V程度に設定される。このような電圧が印加されると、ソースである第1拡散層2aからドレインである第2拡散層2bに電子流（チャネル電流）が生じ、第2拡散層2bの近傍でチャネルホットエレクトロン（CHE）となり、その一部がONO膜3の下層のシリコン酸化膜（第1絶縁膜3a）の障壁を越えてシリコン窒化膜（第2絶縁膜3b）の捕獲領域17に捕獲される。このように、電子の書き込みでは、情報電荷はシリコン窒化膜の第2拡散層2b端に近い領域に蓄積されることになる。

【0015】

次に、情報の読み出し動作では、図 10 (b) に示すように、逆に、第 2 拡散層 2 b がソースとして接地電位に固定され、ドレインとなる第 1 拡散層 2 a の V_R は 1.5 V に、ゲート電極 1 5 の V_{GR} は 3 V 程度に設定される。ここでシリコン基板 1 は接地電位である。このようにすると、捕獲領域 1 7 に電子が書き込まれた論理 1 の場合には、第 1 拡散層 2 a と第 2 拡散層 2 b 間で電流は流れない。これに対して、捕獲領域 1 7 に電子が書き込まれていない論理 0 の場合には、第 1 拡散層 2 a と第 2 拡散層 2 b 間で電流が流れる。このようにして書き込み情報の読み出しができることになる。

【0016】

次に、情報の消去動作では、図 10 (a) に示す構造において、例えば、シリコン基板 1 および第 1 拡散層 2 a は接地電位に固定され、第 2 拡散層 2 b の V_E は 5 V に、ゲート電極 1 6 の V_{GE} は -5 V 程度に設定される。このような電圧が印加されると、第 2 拡散層 2 b 端部であって、ゲート電極とオーバーラップする領域でのバンドベンディングによるバンド間トンネリング (BTBT: band-to-band-tunneling) で発生するホールが、上記捕獲領域 1 7 に注入されて、情報電荷の消去がなされる。

【0017】

この消去動作において、BTBT で発生したホールはチャネル領域の方向に押し出され、p 型のチャネル領域と n 型の拡散層 2 による p n 接合の空乏層を走行して加速されて高エネルギー状態になる。ホールが加速される度合いは、この p n 接合の空乏層の状態、つまり、ドレイン・基板間電圧に依存する。発生したホールがゲート電極 1 5 側に引きつけられる原因 (負電荷、あるいは負のゲート電圧) がなければ、このホールは基板電流として外部に出て行く。

【0018】

MONOS 型セルの場合、データ書き込みが完了した状態では、ドレイン近傍のシリコン窒化膜 (第 2 絶縁膜 3 b) 内に電子の固まりが存在しているため、上記ホールは、この電子の固まりに向かって電気力線を形成し、それに沿った力を受け、 Si/SiO_2 のエネルギー障壁を超えられるだけの高エネルギー状態になったホールがシリコン窒化膜内に注入され、電子と再結合する。この再結合現

象が進むと、シリコン窒化膜内に捕獲されていた電子の個数が減少するため、ホールから電子に向かう電気力線の本数も減少し、ホールがONO膜3に注入されるための駆動力が減少する。その結果、この書き込み・消去方法を用いるMONOS型セルでは、通常のFG型セルで問題になっている過消去問題は原理的に発生しない。

【0019】

【特許文献1】

米国特許第5,768,192号明細書

【特許文献2】

米国特許第5,966,603号明細書

【0020】

【発明が解決しようとする課題】

しかしながら上述した従来のMNOS型又はMONOS型不揮発性半導体記憶装置では、上述した熱酸化による拡散層上絶縁膜13の形成において、酸化膜が横方向に成長するバズビークと呼ばれる食い込みが増加する。この食い込みが増加すると、拡散層間（例えば、第1拡散層2aと第2拡散層2b間）の寸法が小さくなり、短チャネル化が生じ易くなる。これにより、NROMセルの微細化が制限され、NROMの高密度化あるいは高集積化が制約されるようになる。

【0021】

また、従来の製造方法では、バズビークに起因する拡散層上絶縁膜13端部におけるONO膜3の反りによりシリコン窒化膜のバンド構造が変化し、情報電荷の保持特性が劣化するという問題もある。更に、ONO膜3を形成してからその上部にワード線となる導電層14を形成するまでの間に、レジストパターンの形成、剥離、熱酸化等の種々の工程を行っているため、ワード線/ONO膜3の界面特性を良好に保つことができず、デバイスの信頼性が低下するという問題もある。

【0022】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、製造工程を複雑にすることなく、バズビークによる短チャネル化を抑制して微細

化、高密度化を達成し、動作電圧の低電圧化及び電荷保持特性の向上を図ることができるMNOS型又はMONOS型不揮発性半導体記憶装置及びその製造方法を提供することにある。

【0023】

【問題を解決するための手段】

上記目的を達成するため、本発明の不揮発性半導体記憶装置は、ビット線となる拡散層が形成された半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を介して、ワード線となる導電層が形成され、前記絶縁膜に捕獲される電荷を用いて情報の記憶が行われる不揮発性半導体記憶装置において、前記絶縁膜は、前記拡散層上及び相隣り合う拡散層間のチャネル領域上の双方に略平坦に形成され、前記導電層は、少なくとも前記チャネル領域の前記絶縁膜上に形成された第1の導電層と、該第1の導電層を覆う第2の導電層とを含むものである。

【0024】

本発明においては、前記拡散層領域の前記絶縁膜上に、前記第1の導電層を酸化して形成された酸化膜を備える構成とすることができる。

【0025】

また、本発明の不揮発性半導体記憶装置は、ビット線となる拡散層が形成された半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を介して、ワード線となる導電層が形成され、前記絶縁膜に捕獲される電荷を用いて情報の記憶が行われる不揮発性半導体記憶装置において、前記絶縁膜は、相隣り合う拡散層間のチャネル領域上に略平坦に形成され、前記導電層は、少なくとも前記チャネル領域の前記絶縁膜上に形成された第1の導電層と、該第1の導電層を覆う第2の導電層とを含むものである。

【0026】

本発明においては、前記拡散層領域上に、前記第1の導電層及び前記絶縁膜を酸化して形成された酸化膜を備える構成、又は、少なくとも前記拡散層領域上に

、前記積層構造の絶縁膜よりも膜厚の薄い酸化膜を備える構成とすることができる。

【0027】

また、本発明においては、前記第1の導電層は、多結晶あるいは非晶質のシリコン又はシリコン化合物を含み、前記第2の導電層は、ポリシリコン又は高融点金属シリサイドを含み、前記絶縁膜は、シリコン酸化膜とシリコン窒化膜とがこの順に積層されたON膜、又は、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とがこの順に積層されたONO膜からなることが好ましい。

【0028】

また、本発明の製造方法は、半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を形成し、ビット線となる拡散層及びワード線となる導電層を形成し、前記絶縁膜に捕獲される電荷を用いて情報の記憶を行う不揮発性半導体記憶装置の製造方法であって、前記絶縁膜形成後、該絶縁膜上に第1の導電層を形成し、前記第1の導電層及び前記絶縁膜を通して前記拡散層形成の不純物注入を行い、前記第1の導電層上に第2の導電層を堆積して2層構造の前記導電層を形成するものである。

【0029】

また、本発明の製造方法は、半導体基板上に、シリコン酸化膜とシリコン窒化膜とを含む積層構造、又は、シリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を形成し、ビット線となる拡散層及びワード線となる導電層を形成し、前記絶縁膜に捕獲される電荷を用いて情報の記憶を行う不揮発性半導体記憶装置の製造方法であって、前記絶縁膜形成後、該絶縁膜上に第1の導電層を形成し、前記拡散層形成領域の前記第1の導電層を除去した後、前記絶縁膜を通して前記拡散層形成の不純物注入を行い、前記第1の導電層上に第2の導電層を堆積して2層構造の前記導電層を形成するものである。

【0030】

本発明においては、前記拡散層上の前記第1の導電層、又は、前記絶縁膜及び

前記第1の導電層を、熱酸化又はラジカル酸化により酸化膜に変換する構成とすることができる。

【0031】

このように、本発明は、ONO膜等の積層構造の絶縁膜形成後、すぐに第1導電層（ポリシリコン又はアモルファスシリコン等）を堆積し、ONO膜及び第1導電層（又は、ONO膜）上からイオン注入を行って拡散層を形成することにより、熱酸化により拡散層上絶縁膜を形成する必要がなくなり、従来技術の問題であったバースビークを抑制することができ、短チャネル及びONO膜の反りによる電荷保持特性の低下を防止することができる。また、少なくともチャネル領域上部にONO膜及び第1導電層を残すことによりONO膜とワード線の一部となる第1導電層の界面の安定化を図ることができ、不揮発性半導体記憶装置の信頼性を向上させることができる。

【0032】

【発明の実施の形態】

従来技術で示したように、従来の積層構造の絶縁膜を備えるMNOS型又はMONOS型の不揮発性半導体記憶装置では、熱酸化により拡散層上に絶縁膜を形成する際に、酸化膜の横方向への成長によりバースビークが発生し、これにより短チャネル化が生じ易くなり、高密度化、高集積化が制約されるという問題がある。

【0033】

この問題に対して、本願発明者は先願（特願2002-089139号）において、第3絶縁膜／第2絶縁膜／第1絶縁膜からなるONO膜の上にシリコン層を形成し、更にその上にシリコン窒化膜を形成し、シリコン層とシリコン窒化膜の応力によって拡散層上絶縁膜の横方向への成長を抑制している。この先願記載の構造及び製造方法について、図11を参照して説明する。

【0034】

まず、図11（a）に示すように、シリコン基板1のラジカル酸化あるいは熱酸化で成長させた膜厚4nm程度のシリコン酸化膜で第1絶縁膜3aを形成し、CVD法で膜厚7nm程度のシリコン窒化膜を成膜し、このシリコン窒化膜の表

面を熱酸化あるいはラジカル酸化で膜厚 4 nm 程度のシリコン酸化膜に変える。このようにして、膜厚 5 nm 程度の第 2 絶縁膜 3 b と膜厚 4 nm 程度の第 3 絶縁膜 3 c を形成し、3 層構造の ONO 膜 3 を形成する。

【0035】

更に、上記第 3 絶縁膜 3 c を被覆するように、膜厚 30 nm 程度の高濃度の N 型不純物を含有するアモファスあるいは多結晶シリコン膜からなるシリコン層 4 を CVD 法で堆積させる。そして、このシリコン層 4 表面に膜厚 50 nm 程度の酸化防止膜であるシリコン窒化膜 16 を CVD 法で成膜する。その後、シリコン窒化膜 16 上に、公知のリソグラフィ技術を用いてスリット状の拡散層パターンを有するレジストパターン 6 を形成する。

【0036】

次に、図 11 (b) に示すように、公知のドライエッチング技術を用いてシリコン窒化膜 16、シリコン層 4、第 3 絶縁膜 3 c、第 2 絶縁膜 3 b を順次エッチング除去して開口を形成する。その後、レジストパターン 6 をイオン注入マスクとしてヒ素等の N 型不純物をイオン注入した後、レジストパターン 6 を除去する。そして、熱処理を施してシリコン基板 1 表面にビット線となる拡散層 2 を形成する。

【0037】

次に、図 11 (c) に示すように、従来技術と同様に全面を熱酸化する。この熱酸化により膜厚 100 nm 程度の拡散層上絶縁膜 13 を拡散層 2 表面に形成する。その後、スリット状のシリコン窒化膜 16 をエッチング除去する。

【0038】

次に、図 11 (d) に示すように、膜厚が 50 nm 程度で、高濃度の N 型不純物を含有するポリシリコン膜と膜厚が 150 nm 程度のタングステンシリサイド膜を全面に堆積し、公知のリソグラフィ技術及びドライエッチング技術を用いて加工し、ワード線となる導電膜 14 を形成する。このワード線の形成工程において、スリット状のシリコン層 4 も加工しゲート電極 16 を形成する。

【0039】

このようにして、シリコン基板 1 上に拡散層 2 で NROM セルのビット線が形

成され、ONO構造となる第1絶縁膜3a、第2絶縁膜3b、第3絶縁膜3cで情報電荷の書き込み・消去の領域が形成され、ビット線に直交する導電膜14でワード線14が形成され、NROMセルの基本構造ができあがる。

【0040】

この構造では、拡散層上絶縁膜13を形成する熱酸化工程において、シリコン窒化膜16はシリコン層4に大きな圧縮応力を与え、酸化剤である酸素の横方向への拡散を抑えることができ、バースピークを抑制することができる。また、上記応力を用いてONO膜3の反りを抑えることにより第2絶縁膜3bであるシリコン窒化膜のバンド構造の変化に起因する電荷保持特性の劣化を抑制することができる。しかしながら上記先願記載の製造方法では、図9に示す従来方法に比べて、少なくともシリコン層4及びシリコン窒化膜16を形成し、パターニングする工程が余分に必要であり、工程が複雑になってしまうという問題がある。

【0041】

また、従来方法に比べて食い込みを減少させることはできるが、拡散層2上に熱酸化によって拡散層上絶縁膜13を形成するという基本構成は同じであり、ヒ素による増速酸化と、第1絶縁膜3a内における酸素の横方向への拡散との競争となるために食い込みを完全に抑制することはできず、不揮発性半導体記憶装置の更なる微細化、高密度化に対して十分に対応することができない。

【0042】

また、上記酸素の横方向拡散による拡散層上絶縁膜13端部におけるONO膜3の膜厚増加により、BTBTホール発生効率が低下し、情報電荷の消去特性が劣化するという問題もある。

【0043】

この問題について図10を参照して詳述すると、例えば、ゲート電圧0V、基板電圧0V、ドレイン電圧5Vのようなバイアスを与えると、ゲート電極内の電子はゲート酸化膜との界面に蓄積し、拡散層2とゲート酸化膜の界面近傍の電子はこの界面から引き離され、極めて薄い空乏層が形成される。この空乏層の幅は、拡散層2の不純物濃度と印加電圧に強く依存する。この幅がトンネル現象が生じるほどに薄い(3nm程度)場合、拡散層2に形成される空乏層のバンドの曲

がりによって、価電子帯頂上付近の電子が禁制帯を横切って伝導帯に移ることができるようになる場合があり、この時、価電子帯にホールができ伝導帯に電子ができる。伝導帯に移った電子はドレイン電圧によって外部に吸い出され、価電子帯にできたホールは逆にチャネル領域の方向に移動する。これにより、BTBTによってホールが生成されるが、拡散層2の不純物濃度とバイアス条件が同じ場合、ONO膜3の膜厚が厚くなると印加電圧のほとんどがONO膜3にかかってしまうためバンドの曲がり小さくなり、その結果トンネル減少が起こりにくくなる。従ってより多くのホールを発生させたい場合、すなわちBTBTホール発生効率を増加させたい場合、酸化膜の膜厚を薄くすればよいが、上述した先願記載の方法では、酸素の横方向への拡散による拡散層上絶縁膜13の端部におけるONO膜3の増加が生じるためBTBTホール発生効率が低下してしまう。

【0044】

そこで、本発明では、ONO膜形成後にすぐにシリコン層を形成し、シリコン層上（又はONO膜上）からヒ素の注入を行うというプロセスを採用する。これにより拡散層上絶縁膜を形成するための熱処理が不要となり、その結果、バースピークを抑制し、ONO膜の反りに起因する電荷保持特性の劣化を防止することができる。また、拡散層上絶縁膜13端部におけるONO膜の増加を防ぐことができるため、BTBTホール発生効率の低下を防止することができる。

【0045】

また、上記製造方法において、少なくともチャネル領域のONO膜上のシリコン層をそのまま残すプロセスを採用する。これによりONO膜／シリコン層界面の安定化を図ることができる、信頼性の向上を図ることができる。

【0046】

更に、通常の熱酸化により拡散層上絶縁膜を形成するのではなく、シリコン層やONO膜をラジカル酸化する。これにより、バースピークを抑制しつつ耐圧の向上を図ることができる。

【0047】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施

例について図面を参照して説明する。なお、第1及び第2の実施例では、ONO膜形成後にシリコン層を形成し、ONO膜及びシリコン層上からイオン注入を行う構成、第3の実施例では、チャネル領域上部のみシリコン層を残し、ONO膜上からイオン注入を行う構成、第4及び第5の実施例では、更に拡散層上部のシリコン層又はONO膜を酸化してビット線/ワード線間の耐圧を向上させる構成、第6の実施例では、実効的なチャネル長を増加させる構成、第7及び第8の実施例では、BTBTホール発生効率を高める構成について各々説明する。また、以下の各実施例では、積層構造の絶縁膜としてONO膜を用いる場合について説明するが、本発明は下記実施例に限定されるものではなく、シリコン酸化膜とシリコン窒化膜をこの順に積層したON膜、これらの膜を繰り返し積層した構造や同様の機能を備える多層構造、又はシリコン酸化膜の少なくとも一部にシリコン微粒子（シリコン・ナノ・ドット）を分布させた構造の絶縁膜を用いる場合も同様に適用することができる。

【0048】

[実施例1]

まず、本発明の第1の実施例に係る不揮発性半導体記憶装置及びその製造方法について図1を参照して説明する。図1は、本実施例のMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図であり、ワード線に沿った断面を示している。なお、本実施例は本発明に係る不揮発性半導体記憶装置の最も基本的な構造である、ONO膜上にシリコン層を形成し、それらをそのまま残す構造について説明するものである。

【0049】

まず、図1(a)に示すように、シリコン基板1上にラジカル酸化あるいは熱酸化により膜厚4nm程度のシリコン酸化膜（第1絶縁膜3a）を形成し、その上にCVD法等を用いて膜厚7nm程度のシリコン窒化膜（第2絶縁膜3b）を成膜し、更に、シリコン窒化膜をラジカル酸化あるいは熱酸化し、その表面を膜厚4nm程度のシリコン酸化膜（第3絶縁膜3c）に変える。第3絶縁膜3cは、HTOなどのCVD技術を用いて堆積しても良い。これは、他の実施例についても同様である。このようにして、第3絶縁膜3c/第2絶縁膜3b/第1絶縁

膜 3 a の 3 層構造からなる ONO 膜 3 を形成する。また、シリコン・ナノ・ドット構造を採用する場合は、ラジカル酸化あるいは熱酸化でシリコン酸化膜を形成した後、CVD 法等を用いて直径 3 ～ 5 nm 程度のシリコン微粒子を離散的に形成すればよい。

【0050】

なお、ONO 膜 3 を構成するそれぞれの絶縁膜の膜厚及び製造方法は特に限定されないが、上述したように BTBT によってホールを生成する際、酸化膜が厚くなればその分バンドの曲がり小さくなり、トンネル現象が起こりにくくなる。従って、BTBT ホール発生効率を増加させるためには、ONO 膜 3 の厚さを薄くすることが好ましい。

【0051】

続いて、CVD 法を用いて第 3 絶縁膜 3 c を被覆するように第 1 の導電層として、膜厚が 10 ～ 50 nm 程度でノンドープの、あるいは高濃度の N 型不純物を含むアモルファスシリコン膜あるいは多結晶シリコン膜、又は、多結晶あるいは非晶質のシリコンゲルマニウム膜等の多結晶あるいは非晶質のシリコン又はシリコン化合物（以下、シリコン層 4 と称する。）を形成する。このように、ONO 膜 3 形成後にすぐに ONO 膜 3 をシリコン層 4 で被覆することにより、ONO 膜 3 / シリコン層 4 界面の安定化を図ることができ、情報電荷の保持特性やデバイス信頼性を向上させることができる。

【0052】

なお、このシリコン層 4 上に、膜厚 10 nm 程度の HTO (High Temperature Oxide) 又は LTO (Low Temperature Oxide) 5 を形成してもよい。この膜は、高濃度ヒ素注入によってレジストが剥離しにくくなった場合に酸化膜のウェットエッチを追加してリフトオフの効果によってレジストを除去するために設けるものである。

【0053】

次に、図 1 (b) に示すように、HTO 又は LTO 5 上（又は HTO 又は LTO 5 を形成しない場合はシリコン層 4 上）に、公知のリソグラフィ技術を用いて、スリット状の拡散層パターンを有するレジストパターン 6 を形成する。ここで

、上述した先願記載の方法では、レジストパターン 6 形成前にシリコン層 4 上にシリコン窒化膜 16 を形成し、シリコン層 4 とシリコン窒化膜 16 の熱膨張率の差により発生する応力で拡散層上絶縁膜 13 の成長を抑制したが、本実施例では拡散層上絶縁膜 13 を形成する必要がないためシリコン窒化膜 16 の成膜を省略することができ、先願記載の方法に比べて製造工程を簡略化することができる。

【0054】

次に、従来例で示した方法又は先願記載の方法では、レジストパターン 6 を用いてONO膜 3 やシリコン層 4 をエッチングして開口を形成していたが、本実施例では、図 1 (c) に示すように、HTO又はLTO5、シリコン層 4、ONO膜 3 をエッチングすることなく、レジストパターン 6 をイオン注入マスクとしてこれらの膜上から直接ヒ素等のN型不純物をイオン注入し、レジストパターン 6 を除去した後、更に熱処理を施してビット線となる拡散層 2 を形成する。このようにシリコン層 4 及びONO膜 3 上からイオン注入を行うことにより、拡散層 2 上に新たに絶縁膜を形成する必要がなくなり、熱酸化によるバースピークの発生を防止することができる。

【0055】

次に、図 1 (d) に示すように、第 2 の導電層 7 として、例えば、膜厚 50 nm 程度のポリシリコンと膜厚 100 nm 程度のタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてビット線に直交する方向にスリット状に加工し、ワード線を形成する。このワード線の形成工程において、シリコン層 4 も加工しゲート電極を形成する。

【0056】

上記製造方法により、シリコン基板 1 上に拡散層 2 によってNROMセルのビット線が形成され、第 1 絶縁膜 3 a、第 2 絶縁膜 3 b、第 3 絶縁膜 3 c からなる 3 層構造のONO膜 3 によって情報電荷の書き込み・消去の領域が形成される。そして、ONO膜 3 の上に 2 層構造（第 1 導電層 4 及び第 2 導電層 7）のワード線が配設され、本実施例のNROMセルの基本構造ができあがる。

【0057】

このように、ONO膜3及びシリコン層4をスルーしてイオン注入を行い、拡散層2上に新たに絶縁膜を形成しないことにより、従来技術におけるバースピークを抑制することができ、ONO膜3の反りが発生しないことからシリコン窒化膜のバンド構造の変化に起因する電荷保持特性の劣化を防止することができる。また、ONO膜3形成直後にシリコン層4を形成し、そのまま残すことにより、ONO膜3とシリコン層4の界面の安定化を図ることができ、信頼性を向上させることができる。

【0058】

[実施例2]

次に、本発明の第2の実施例に係る不揮発性半導体記憶装置及びその製造方法について図2を参照して説明する。図2は、本実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は高濃度ヒ素注入によるレジスト剥離の問題を解消するための構造について説明するものであり、その他の構成については第1の実施例と同様である。

【0059】

まず、第1の実施例と同様に、シリコン基板1上にラジカル酸化あるいは熱酸化により第1絶縁膜3aを形成し、その上にCVD法等を用いて第2絶縁膜3bを形成し、ラジカル酸化あるいは熱酸化によりシリコン窒化膜の表面に第3絶縁膜3cを形成し、第3絶縁膜3c／第2絶縁膜3b／第1絶縁膜3aの3層構造からなるONO膜3を形成する。

【0060】

続いて、図2(a)に示すように、CVD法を用いて第1の導電層4としてシリコン層4を形成した後、イオン注入のハードマスクとなる膜厚200nm程度の厚い絶縁膜（シリコン酸化膜又はシリコン窒化膜9）を形成する。

【0061】

次に、図2(b)に示すように、シリコン酸化膜又はシリコン窒化膜9上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターン（図示せず）を形成し、公知のドライエッチング技術を用いて、露出したシリコン酸化膜又はシリコン窒化膜9を除去して拡散層パターンとなるハードマスク9aを形成する

。その後、レジストパターンを除去する。

【0062】

次に、図2(c)に示すように、ハードマスク9aをイオン注入マスクとしてシリコン層4上から直接ヒ素等のN型不純物をイオン注入し、公知のドライエッチングまたはウェットエッチング技術を用いてハードマスク9aを除去した後、更に熱処理を施してビット線となる拡散層2を形成する。このようにシリコン酸化膜又はシリコン窒化膜9からなるハードマスク9aを用いることにより、ヒ素注入後のハードマスク9aの除去を容易に行うことができ、レジスト剥離不良を防止することができる。

【0063】

次に、第1の実施例と同様に、第2の導電層7として、例えば、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例のNROMセルの基本構造ができあがる。

【0064】

このように、本実施例の方法によれば、第1の実施例の効果に加えて、イオン注入のマスクとしてレジストパターンの代わりにシリコン酸化膜又はシリコン窒化膜からなるハードマスク9aを用いることにより、イオン注入後のレジスト剥離不良を防止することもできる。

【0065】

[実施例3]

次に、本発明の第3の実施例に係る不揮発性半導体記憶装置及びその製造方法について図3を参照して説明する。図3は、本実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は高濃度ヒ素注入をONO膜を介して行うことを特徴とするものであり、その他の構成については第2の実施例と同様である。

【0066】

まず、第2の実施例と同様に、シリコン基板1上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成してONO膜3を形成する。続いて、第1の

導電層としてシリコン層 4 を形成した後、イオン注入のハードマスクとなるシリコン酸化膜又はシリコン窒化膜 9 を形成する（図 3（a）参照）。

【0067】

次に、図 3（b）に示すように、シリコン酸化膜又はシリコン窒化膜 9 上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク 9 a を形成した後、レジストパターンを除去する。

【0068】

次に、図 3（c）に示すように、ハードマスク 9 a を用いて、公知のドライエッチング技術により露出したシリコン層 4 を除去し、続いて、図 3（d）に示すように、ハードマスク 9 a をイオン注入マスクとして ONO 膜 3 上からヒ素等の N 型不純物をイオン注入し、公知のドライエッチング技術を用いてハードマスク 9 a を除去した後、更に熱処理を施してビット線となる拡散層 2 を形成する。ここで、第 1 又は第 2 の実施例では、ヒ素注入をシリコン層 4 をスルーして行うためにイオン注入の加速エネルギーを高くしなければならなかったが、本実施例では、拡散層形成領域のシリコン層 4 を除去しているため加速エネルギーを下げることができ、その結果、ハードマスクを薄膜化できるため、ハードマスク除去工程を簡略化（時間短縮）することができる。なお、チャネル領域上のシリコン層は残しているため、その領域の ONO 膜 3 とシリコン層 4 の界面の安定化は保つことができる。

【0069】

次に、図 3（e）に示すように、第 2 の導電層 7 として、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例の NROM セルの基本構造ができあがる。なお、ここではチャネル領域の ONO 膜 3 とシリコン層 4 の界面の安定化を図るためにシリコン層 4 を残しているため、拡散層領域とチャネル領域とで導電層の厚さが異なるが、第 2 導電層 7 形成前にシリコン層 4 をドライエッチング技術で薄膜化または除去することもでき、その場合は平坦性を向上させることができる。

【0070】

このように、本実施例の方法によれば、第2の実施例の効果に加えて、イオン注入前に拡散層形成領域のシリコン層4を除去することにより、イオン注入の加速エネルギーを低くすることもできる。

【0071】

[実施例4]

次に、本発明の第4の実施例に係る不揮発性半導体記憶装置及びその製造方法について図4を参照して説明する。図4は、本実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例はビット線・ワード線間の絶縁耐圧を向上し、かつ寄生容量を低減することを特徴とするものであり、その他の構成については第2の実施例と同様である。

【0072】

まず、図4(a)に示すように、シリコン基板1上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成してONO膜3を形成する。続いて、CVD法を用いて第1の導電層としてシリコン層4を形成した後、イオン注入のハードマスクとなる膜厚200nm程度の厚いシリコン窒化膜10を形成する。なお、本実施例では後の工程でこのハードマスクを用いてシリコン層4の酸化を行うため、シリコン窒化膜10としている。

【0073】

次に、図4(b)に示すように、シリコン窒化膜10上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク10aを形成した後、レジストパターンを除去する。

【0074】

次に、図4(c)に示すように、ハードマスク10aをイオン注入マスクとしてシリコン層4上からヒ素等のN型不純物をイオン注入し、熱処理を施してビット線となる拡散層2を形成する。

【0075】

ここで、第2の実施例ではその後ハードマスク9aを除去して第2導電層7の

形成を行ったが、本実施例ではビット線とワード線間の絶縁耐圧を向上し、かつ寄生容量を低減するために熱酸化によりシリコン層 4 を酸化して拡散層 2 上にポリシリコン酸化膜 11 を形成する（図 4（d）参照）。その際、シリコン層 4 の酸化が完了する直前に、ONO 膜 3 の第 3 絶縁膜 3c およびポリシリコン酸化膜 11 から酸化種が侵入してチャネル領域のシリコン層 4 に小さなバースピークを形成するが、従来方法に比べてその時間ははるかに短いため実用上問題ないと言える。

【0076】

次に、図 4（e）に示すように、第 2 の導電層 7 として、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例の NROM セルの基本構造ができあがる。

【0077】

このように、本実施例の方法でも、拡散層 2 を直接熱酸化しないことによりバースピークを抑制することができ、また、拡散層領域のシリコン層 4 を酸化して、ONO 膜 3 の第 3 絶縁膜 3c を厚いポリシリコン酸化膜 11 に変えることにより、ビット線・ワード線間の絶縁耐圧を向上し、かつ寄生容量を低減することができる。

【0078】

[実施例 5]

次に、本発明の第 5 の実施例に係る不揮発性半導体記憶装置及びその製造方法について図 5 を参照して説明する。図 5 は、本実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は高濃度ヒ素注入により Si-N 結合が弱まっているシリコン窒化膜を酸化することを特徴とするものであり、その他の構成については第 4 の実施例と同様である。

【0079】

まず、第 4 の実施例と同様に、シリコン基板 1 上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成して ONO 膜 3 を形成する。続いて、CVD 法を用いて第 1 の導電層としてシリコン層 4 を形成した後、イオン注入のハード

マスクとなるシリコン窒化膜 10 を形成する (図 5 (a) 参照)。

【0080】

次に、シリコン窒化膜 10 上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク 10a を形成した後、レジストパターンを除去する。続いて、ハードマスク 10a をイオン注入マスクとしてシリコン層 4 上からヒ素等の N 型不純物をイオン注入し、熱処理を施してビット線となる拡散層 2 を形成する (図 5 (b)、(c) 参照)。

【0081】

ここで、第 4 の実施例では熱酸化によりシリコン層 4 を酸化してポリシリコン酸化膜 11 を形成したが、本発明の方法では、ONO 膜 3 を介してイオン注入を行っているため、高濃度のヒ素注入により ONO 膜 3 のシリコン窒化膜の Si-N 結合が弱まっている。そこで本実施例では、図 5 (d) に示すように、シリコン層 4 を酸化する際にシリコン窒化膜まで酸化して第 4 の実施例よりも厚いポリシリコン酸化膜 11a を形成している。なお、酸化に際してラジカル酸化技術を用いることもでき、ラジカル酸化の活性酸素を用いることによりシリコン層 4 とシリコン窒化膜の酸化速度を略等しくすることができ、酸化時間を短くすることによりバースピークの発生を極力抑制することができる。

【0082】

次に、図 5 (e) に示すように、第 2 の導電層 7 として、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例の NROM セルの基本構造ができあがる。

【0083】

このように、本実施例に方法によれば、拡散層領域に第 4 の実施例よりも厚いポリシリコン酸化膜 11a に形成することにより、ビット線・ワード線間の絶縁耐圧を向上し、かつ寄生容量を更に低減することができる。

【0084】

[実施例 6]

次に、本発明の第 6 の実施例に係る不揮発性半導体記憶装置及びその製造方法について図 6 を参照して説明する。図 6 は、本実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は拡散層領域の寸法を制御することを特徴とするものであり、その他の構成については第 4 の実施例と同様である。

【0085】

まず、第 4 の実施例と同様に、シリコン基板 1 上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成して ONO 膜 3 を形成する。続いて、CVD 法を用いて第 1 の導電層としてシリコン層 4 を形成した後、イオン注入のハードマスクとなるシリコン窒化膜 10 を形成する。次に、シリコン窒化膜 10 上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク 10a を形成した後、レジストパターンを除去する（図 6（a）参照）。

【0086】

ここで、第 4 の実施例ではハードマスク 10a をマスクとしてヒ素イオン注入を行ったが、この方法では不揮発性半導体記憶装置の微細化が求められた場合にチャンネル長が更に短くなりパンチスルーが発生する恐れがある。そこで本実施例では、CVD 法等で全面にシリコン窒化膜を成膜しエッチバックすることにより、ハードマスク 10a 側壁に膜厚 20～50 nm 程度のサイドウォール窒化膜 12 を形成し、拡散層領域の寸法制御を行っている（図 6（b）参照）。

【0087】

次に、図 6（c）に示すように、ハードマスク 10a 及びサイドウォール窒化膜 12 をイオン注入マスクとしてシリコン層 4 上からヒ素等の N 型不純物をイオン注入し、熱処理を施してビット線となる拡散層 2 を形成する。なお、拡散層 2 の長さはサイドウォール窒化膜 12 の厚さを変えることによって任意に設定することができる。

【0088】

次に、図 6（d）に示すように、熱酸化によりサイドウォール窒化膜 12 に挟まれたシリコン層 4 を酸化してポリシリコン酸化膜 11 を形成した後、ハードマ

スク10aとサイドウォール窒化膜12をウェットエッチングによって除去し、図6(e)に示すように、第2の導電層7として、ポリシリコンとタンゲステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例のNROMセルの基本構造ができあがる。なお、図6(d)のポリシリコン酸化膜11は形成しなくてもよく、シリコン層4を全面に残す構成としてもよい。

【0089】

このように、本実施例の方法によれば、第4の実施例の効果に加えて、サイドウォール窒化膜12によりヒ素の注入領域を制限することができ、実効的なチャネル長を増加させ、パンチスルーを抑制することができる。

【0090】

[実施例7]

次に、本発明の第7の実施例に係る不揮発性半導体記憶装置及びその製造方法について図7を参照して説明する。図7は、本実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は拡散層領域の絶縁膜を薄くしてBTBTホール発生効率を向上させることを特徴とするものである。

【0091】

まず、図7(a)に示すように、シリコン基板1上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成してONO膜3を形成する。続いて、CVD法を用いて第1の導電層としてシリコン層4を形成した後、イオン注入のハードマスクとなるシリコン窒化膜10を形成する。次に、シリコン窒化膜10上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク10aを形成した後、レジストパターンを除去する。次に、ハードマスク10aを用いて、公知のドライエッチング技術により露出したシリコン層4を除去する。

【0092】

次に、図7(b)に示すように、ハードマスク10aをイオン注入マスクとしてONO膜3上からヒ素等のN型不純物をイオン注入し、熱処理を施してビット

線となる拡散層 2 を形成する。その際、後の工程で拡散層 2 上に酸化膜を形成する際にヒ素の増殖酸化を抑制するためにイオン注入後に十分なアニールを行うことが好ましい。

【0093】

ここで、前記した実施例では少なくとも ONO 膜 3 を除去せずに残したが、上述したように、拡散層 2 の不純物濃度とバイアス条件が同じ場合、ONO 膜 3 が厚くなると印加電圧のほとんどが ONO 膜 3 にかかってしまうため、バンドの曲がり角が小さくなり、その結果トンネル現象が起こりにくくなり BTBT ホール発生効率が低下する。そこで、本実施例では、図 7 (c) に示すように公知のドライエッチング技術によりハードマスク 10 a を用いて ONO 膜 3 を除去する。なお、チャネル領域上のシリコン層 4 及び ONO 膜 3 は残しているため、その領域のシリコン基板 1 と ONO 膜 3 とシリコン層の界面の安定化は保つことができる。

【0094】

次に、図 7 (d) に示すように熱酸化により、少なくとも拡散層領域上部、及び ONO 膜 3 とシリコン層 4 の側壁部に、ONO 膜 3 よりも薄い膜厚の酸化膜 8 を形成する。これにより小さい印加電圧でトンネル現象を起こすことができ、BTBT ホール発生効率を高めることができる。その後、図 7 (e) に示すように、ハードマスク 10 a をウェットエッチングした後、第 2 の導電層 7 として、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例の NROM セルの基本構造ができあがる。

【0095】

このように、本実施例の方法では、拡散層 2 上の ONO 膜 3 を除去し、代わりに ONO 膜 3 よりも薄い酸化膜を形成することにより、BTBT ホール発生効率を高めることができる。なお、拡散層 2 上に熱酸化で酸化膜を形成するがその膜厚は薄いためバースピークを抑制することができる。

【0096】

[実施例 8]

次に、本発明の第 8 の実施例に係る不揮発性半導体記憶装置及びその製造方法について図 8 を参照して説明する。図 8 は、本実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。なお、本実施例は酸化膜を形成してからヒ素イオン注入を行うことを特徴とするものであり、他の構成に関しては第 7 の実施例と同様である。

【0097】

まず、第 7 の実施例と同様に、シリコン基板 1 上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成し、ONO 膜 3 を形成する。続いて、CVD 法を用いて第 1 の導電層としてシリコン層 4 を形成した後、イオン注入のハードマスクとなるシリコン窒化膜 10 を形成する。次に、シリコン窒化膜 10 上に、公知のリソグラフィ技術を用いて、スリット状のレジストパターンを形成し、公知のドライエッチング技術を用いて拡散層パターンとなるハードマスク 10a を形成した後、レジストパターンを除去する。次に、ハードマスク 10a を用いて、公知のドライエッチング技術により露出したシリコン層 4 を除去する（図 8（a）参照）。

【0098】

ここで、第 7 の実施例ではヒ素のイオン注入を行ったが、ヒ素注入後に酸化膜を形成すると膜厚の制御が困難になる恐れがある。そこで、本実施例では、図 8（b）に示すように公知のドライエッチング技術によりハードマスク 10a を用いて ONO 膜 3 を除去し、続いて図 8（c）に示すように熱酸化により、少なくとも拡散層領域上部、及び ONO 膜 3 とシリコン層 4 の側壁部に ONO 膜 3 よりも薄い膜厚の酸化膜 8 を形成する。

【0099】

次に、図 8（d）に示すように、ハードマスク 10a をイオン注入マスクとして酸化膜 8 上からヒ素等の N 型不純物をイオン注入し、熱処理を施してビット線となる拡散層 2 を形成する。その際、ヒ素の拡散を防止するためにアニールは窒素又は酸素雰囲気中で略 950℃以下の温度で行うことが好ましい。

【0100】

次に、図 8（e）に示すように、ハードマスク 10a をウェットエッチングし

た後、第2の導電層7として、ポリシリコンとタングステンシリサイド等の高融点金属シリサイドを全面に堆積し、公知のリソグラフィ技術とドライエッチング技術とを用いてワード線を形成し、本実施例のNROMセルの基本構造ができあがる。

【0101】

このように、本実施例の方法では、拡散層2上にONO膜3よりも薄い酸化膜8を形成した後にヒ素イオン注入を行っているため、第7の実施例よりも酸化膜8の膜厚の制御性を高めることができる。

【0102】

【発明の効果】

以上説明したように、本発明のMNOS型又はMONOS型不揮発性半導体記憶装置及びその製造方法によれば下記記載の効果を奏する。

【0103】

本発明の第1の効果は、従来技術で問題となったバースピークを抑制することができ、NROM型セルの微細化限界を緩和することができるということである。その理由は、第5の実施例を除いてビット線表面を直接酸化しないからであり、また、第5の実施例においてもラジカル酸化技術を用いることにより酸化時間を短くしているからである。

【0104】

また、バースピークによる反り（機械的応力）が抑制されて、電荷蓄積層であるシリコン窒化膜が平坦な構造になるため、電荷保持特性を向上させることができ、また、先願記載の方法のようにシリコン層上にシリコン窒化膜を形成しないため、工程の複雑化を防ぐことができる。

【0105】

また、本発明の第2の効果は、ワード線／ONO膜の界面特性（信頼性）を向上させることができるということである。その理由は、ONO膜形成直後にワード線の一部となるシリコン層を形成し、少なくともチャネル領域のシリコン層を除去せずに残しているからである。

【0106】

また、本発明の第3の効果は、ビット線・ワード線間の耐圧を向上させ、寄生容量を低減することができるということである。その理由は、第4乃至第6の実施例においてビット線領域直上にシリコン層を熱酸化又はラジカル酸化した酸化膜を形成しているからである。

【0107】

また、本発明の第4の効果は、高密度化に伴うパンチスルーを防止することができるということである。その理由は、第6の実施例において、ハードマスク側壁にサイドウォール窒化膜を形成した後、ヒ素注入を行っているため、注入領域を正確に制御でき、かつ、チャネル領域の実効的な寸法を前記サイドウォールの膜厚の略2倍分だけ長くすることができるからである。

【0108】

また、本発明の第6の効果は、BTBTホール発生効率を向上させることができるということである。その理由は、第7及び第8の実施例において、拡散層上のONO膜を除去した後、ONO膜よりも薄い酸化膜を形成し、低電圧でもトンネル現象を効率的に起こさせることができるからである。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図2】

本発明の第2の実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図3】

本発明の第3の実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図4】

本発明の第4の実施例に係るMONOS型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図5】

本発明の第 5 の実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図 6】

本発明の第 6 の実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図 7】

本発明の第 7 の実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図 8】

本発明の第 8 の実施例に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図 9】

従来の MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【図 1 0】

MONOS 型不揮発性半導体記憶装置における情報電荷の書き込み、読み出し、消去動作を説明するための図である。

【図 1 1】

先願に係る MONOS 型不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【符号の説明】

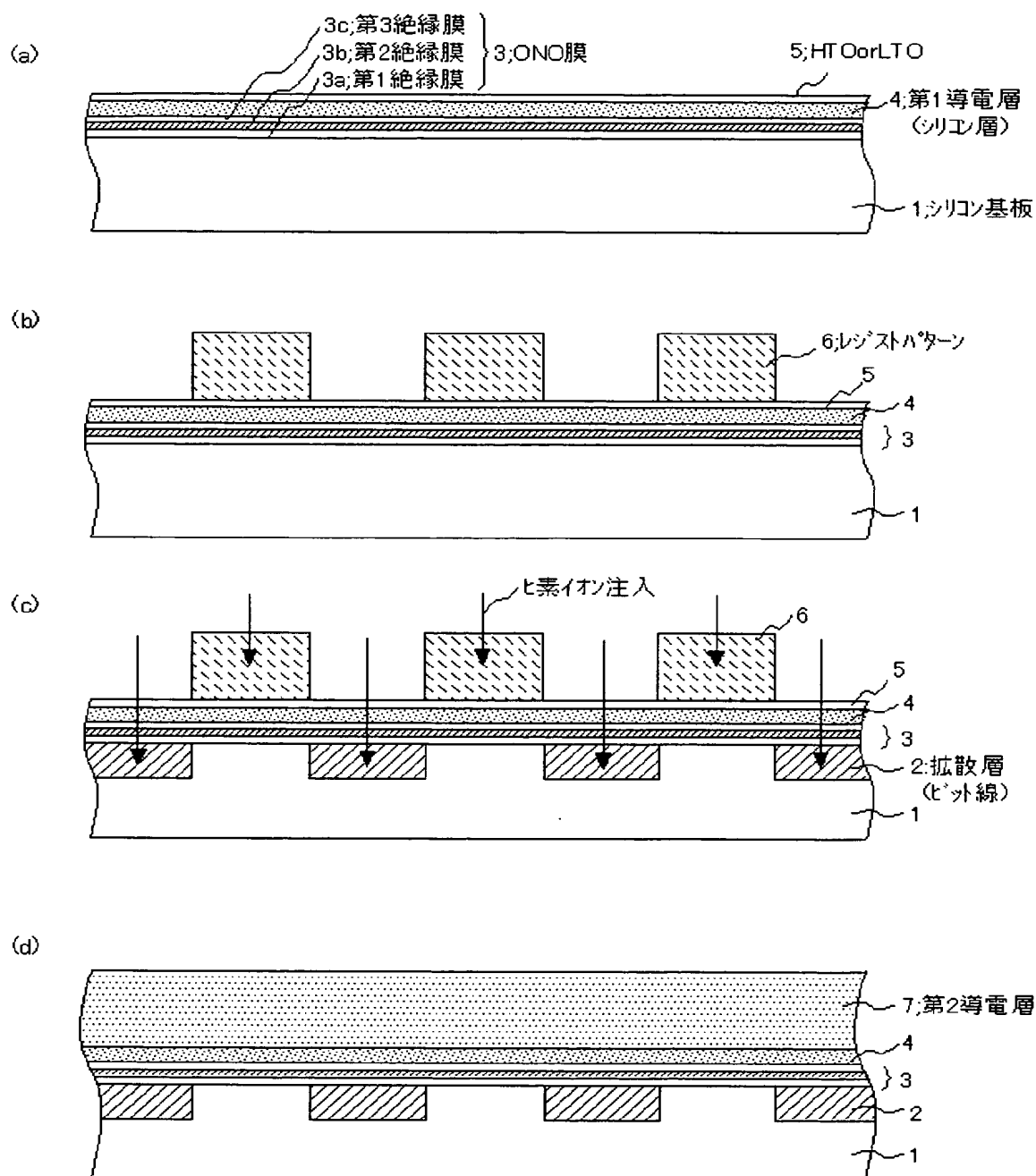
- 1 シリコン基板
- 2 拡散層（ビット線）
 - 2 a 第 1 拡散層
 - 2 b 第 2 拡散層
- 3 ONO 膜
 - 3 a 第 1 絶縁膜
 - 3 b 第 2 絶縁膜
 - 3 c 第 3 絶縁膜

- 4 第1導電層（シリコン層）
- 5 HTO又はLTO
- 6 レジストパターン
- 7 第2導電層
- 8 酸化膜
- 9 シリコン酸化膜又はシリコン窒化膜
- 9 a ハードマスク
- 10 シリコン窒化膜
- 10 a ハードマスク
- 11、11 a ポリシリコン酸化膜
- 12 サイドウォール窒化膜
- 13 拡散層上酸化膜
- 14 導電層（ワード線）
- 15 ゲート電極
- 16 シリコン窒化膜
- 17 捕獲領域

【書類名】

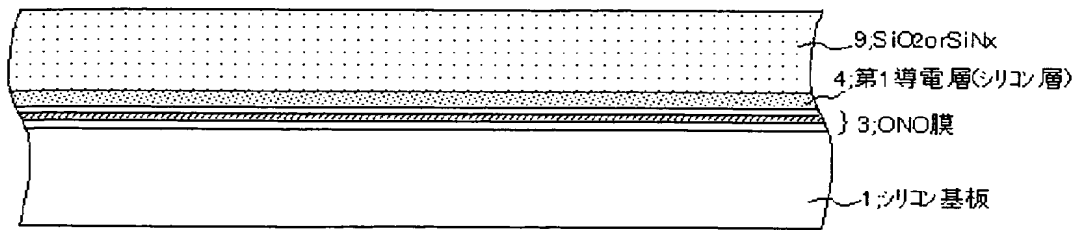
図面

【図1】

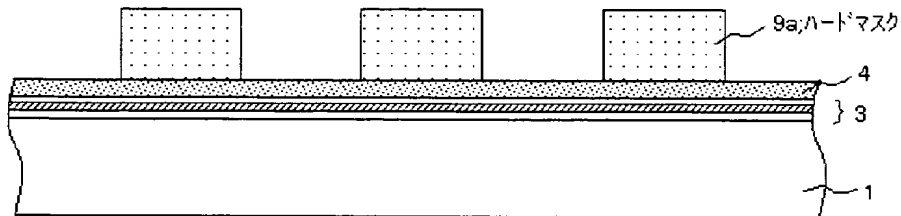


【図2】

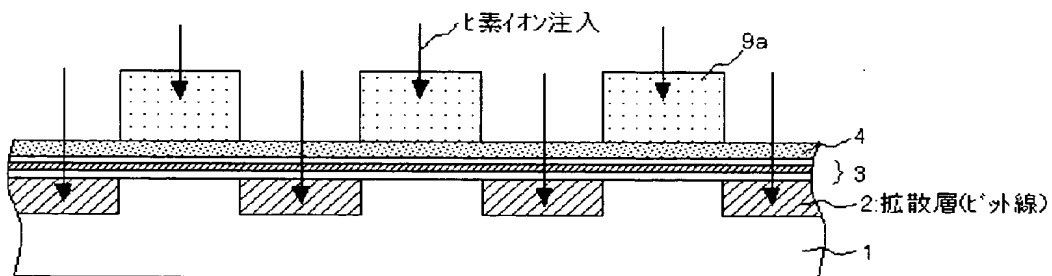
(a)



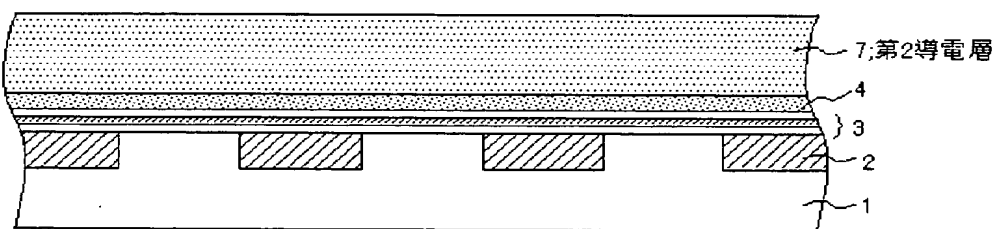
(b)



(c)

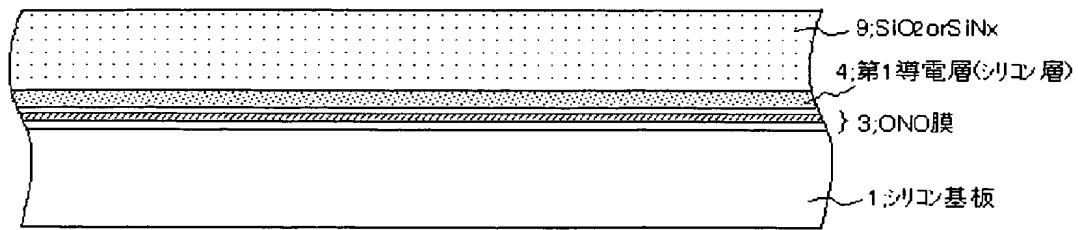


(d)

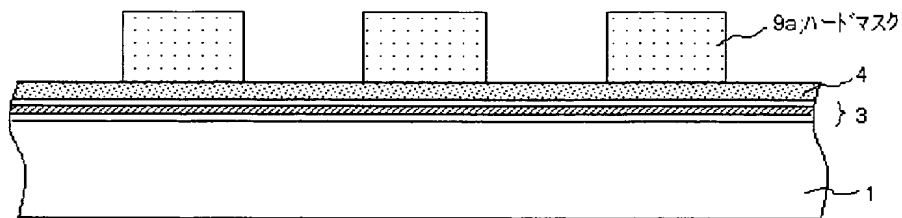


【図3】

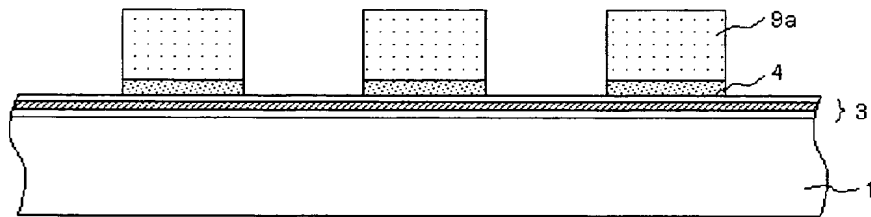
(a)



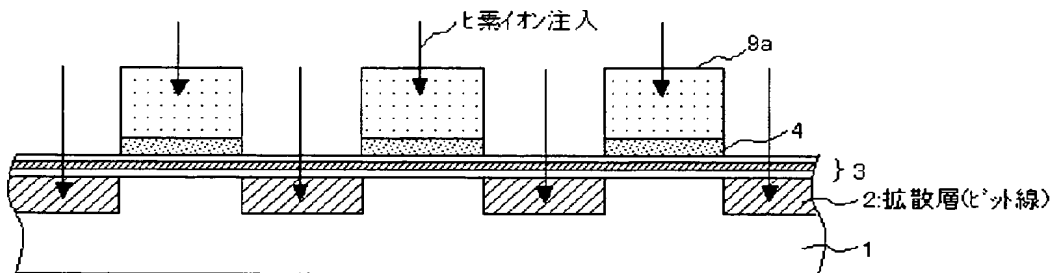
(b)



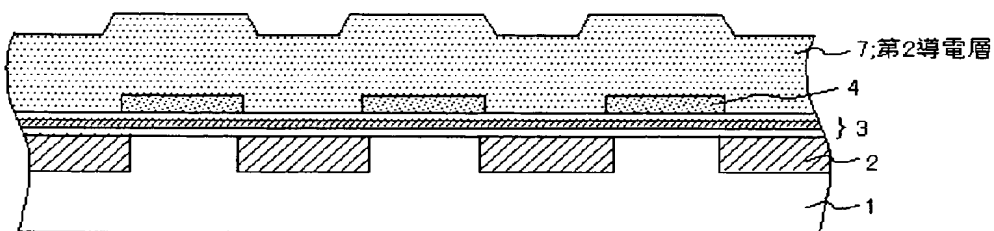
(c)



(d)

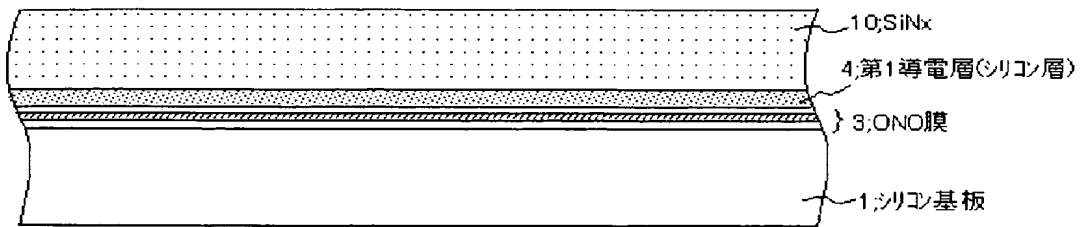


(e)

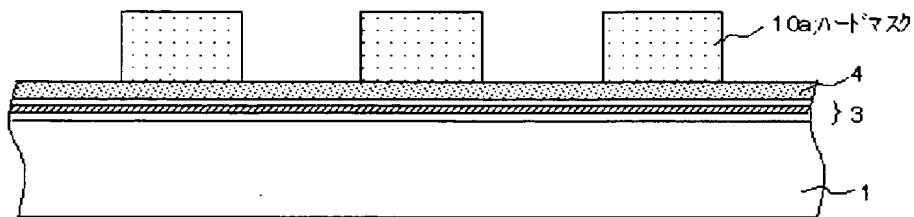


【図4】

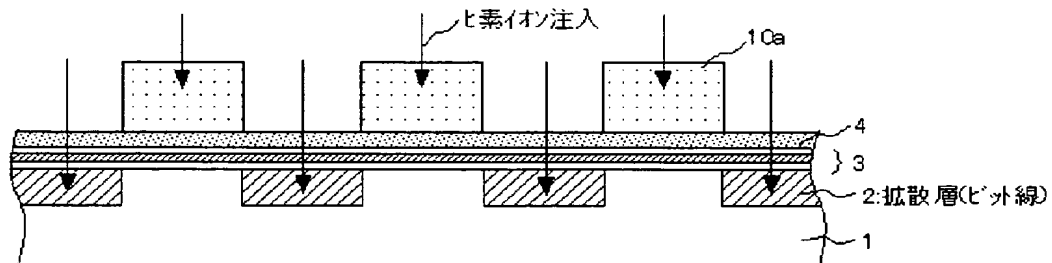
(a)



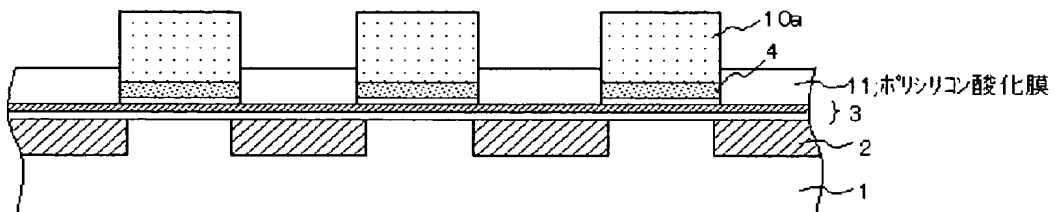
(b)



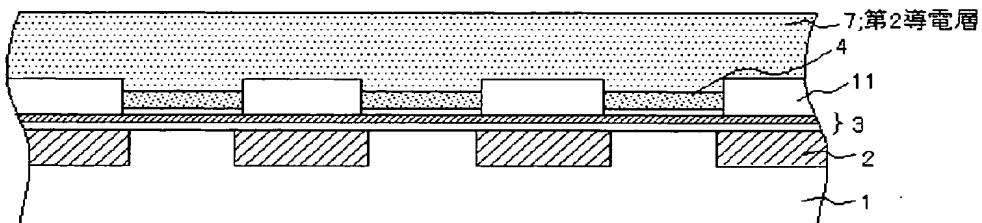
(c)



(d)

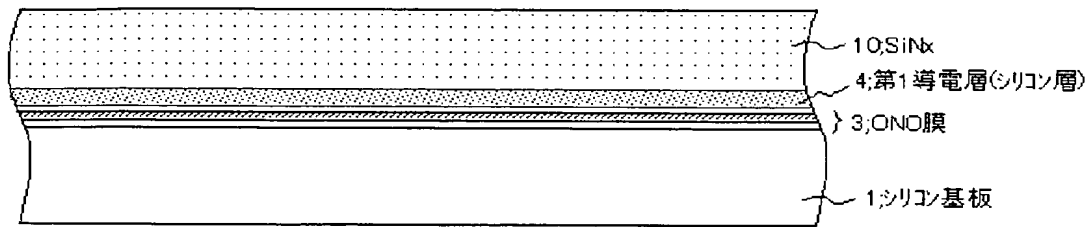


(e)

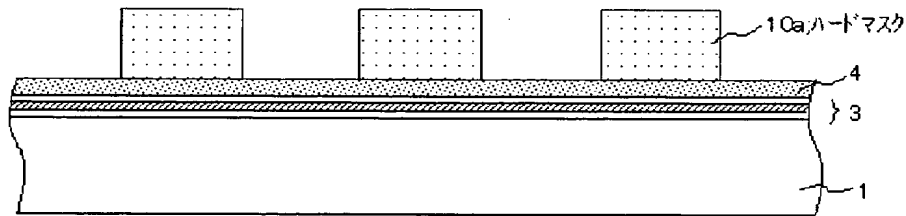


【図 5】

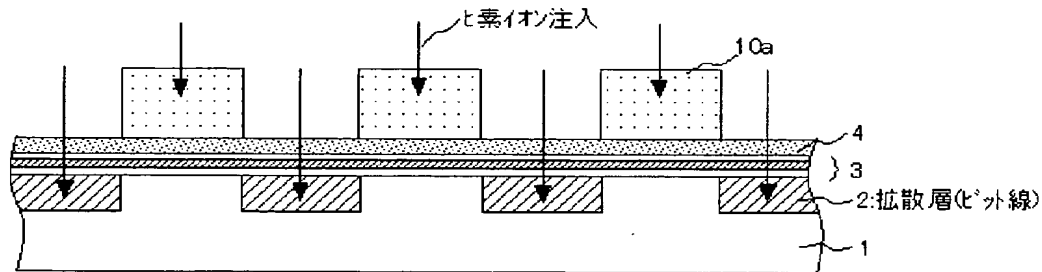
(a)



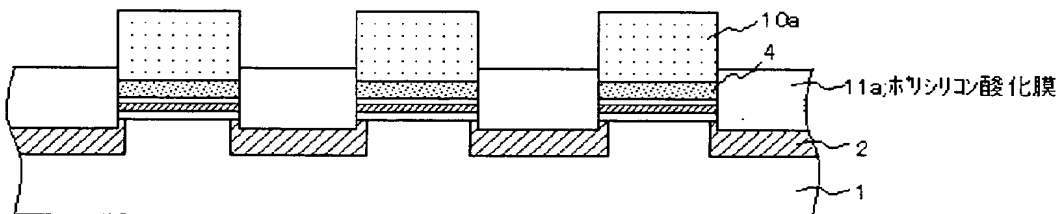
(b)



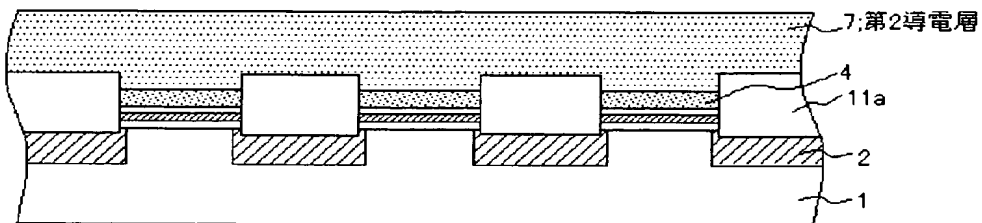
(c)



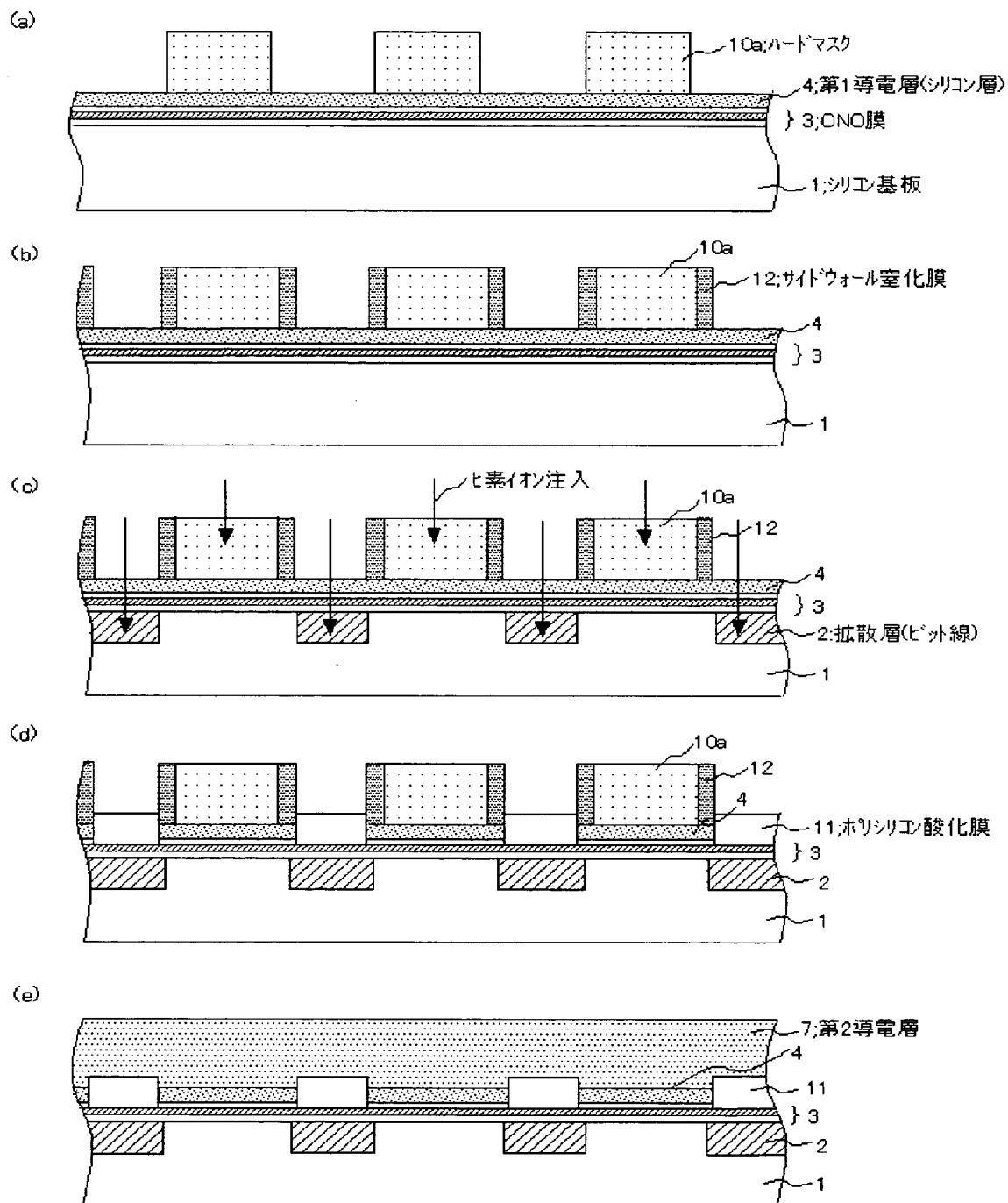
(d)



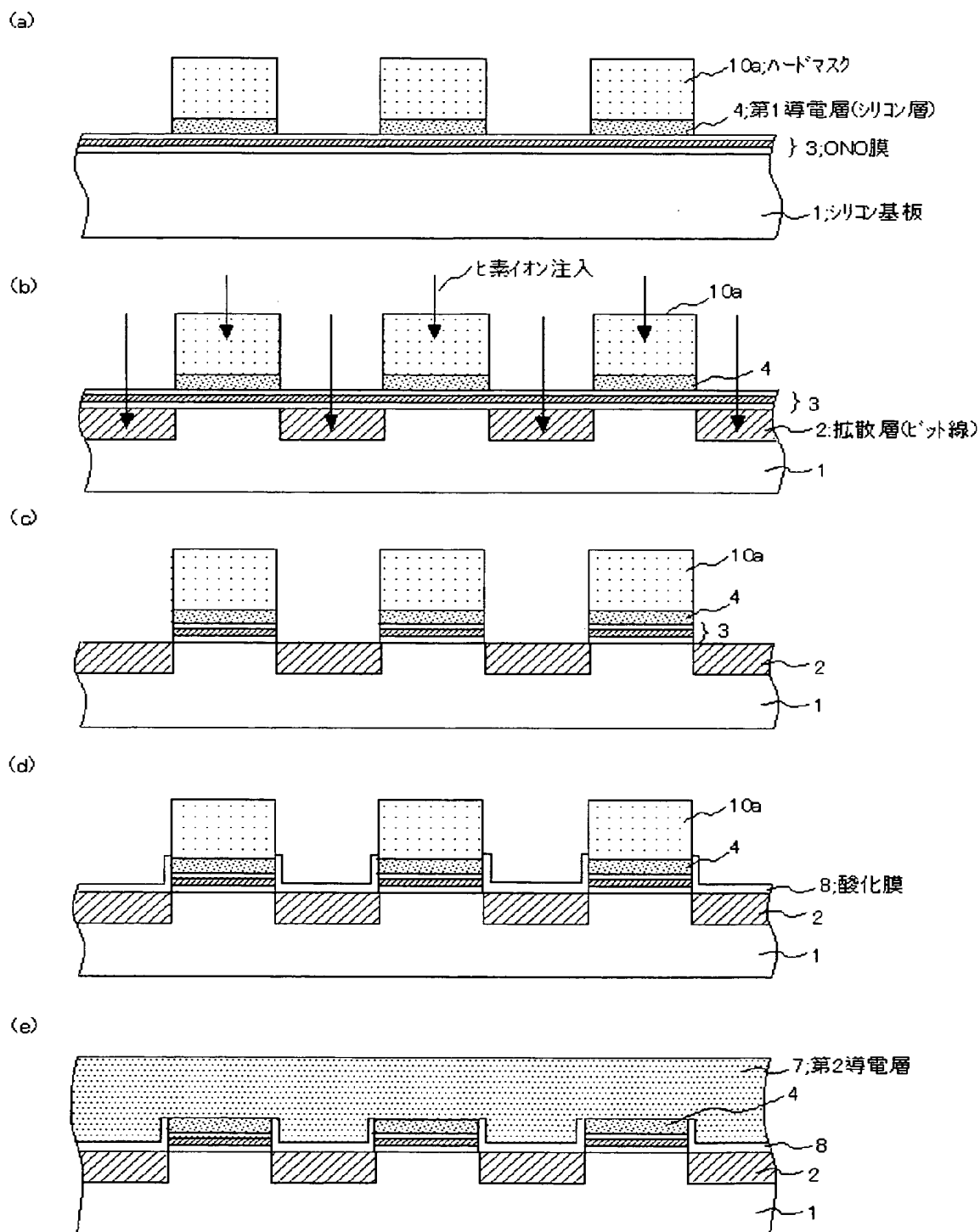
(e)



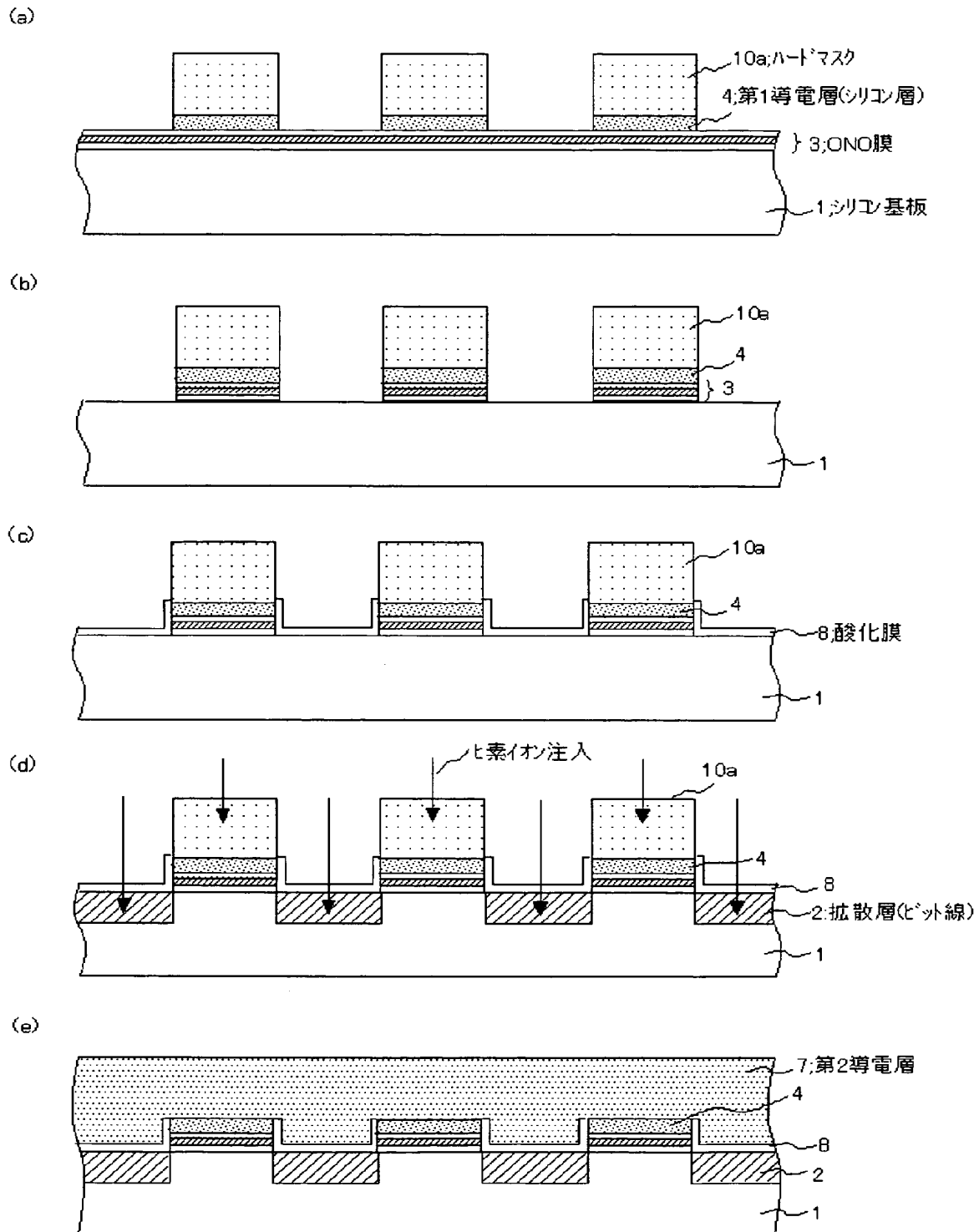
【図6】



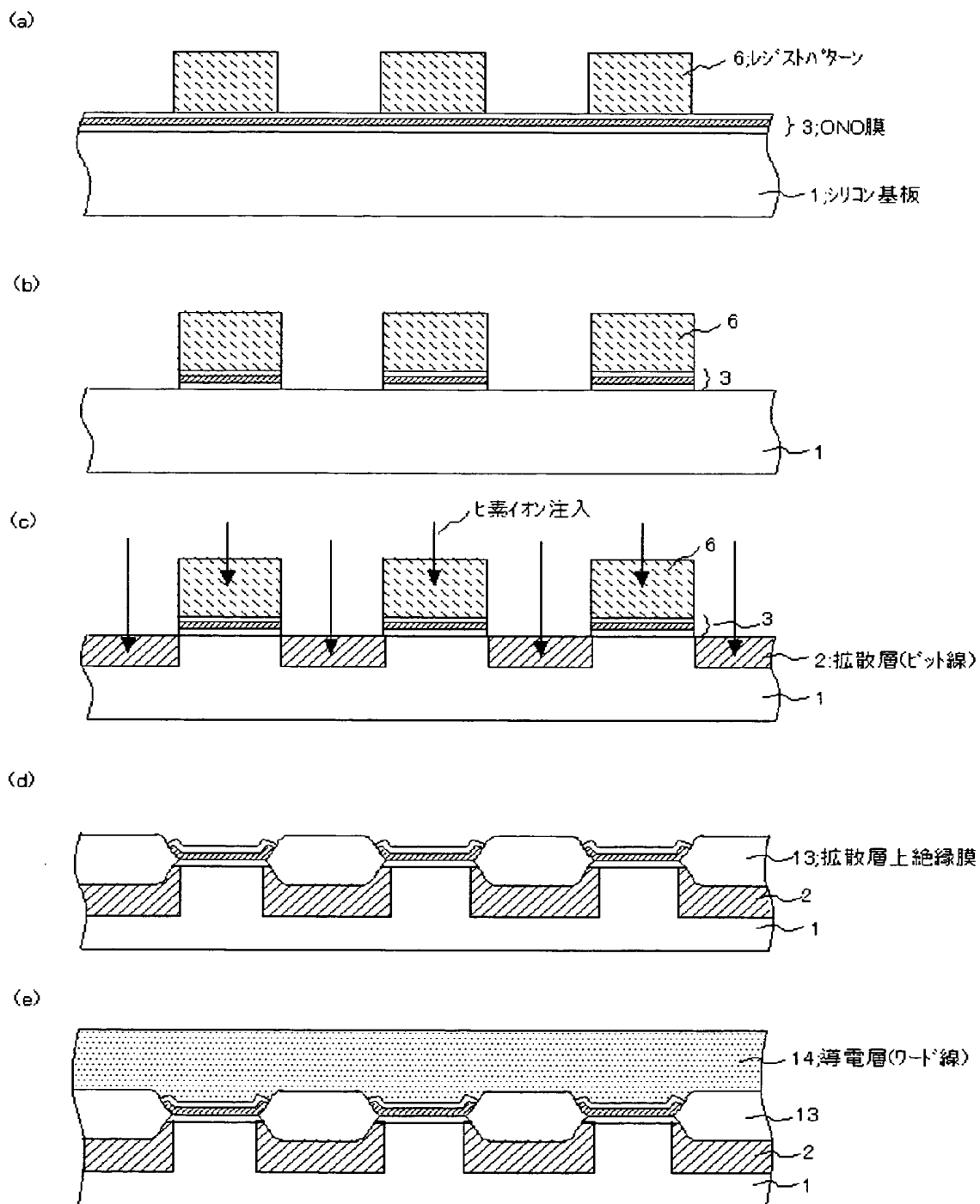
【図 7】



【図8】

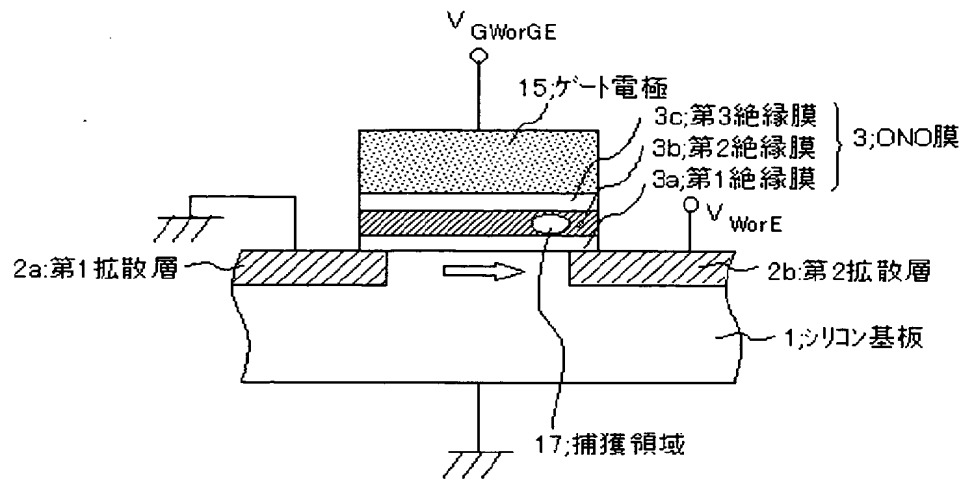


【図 9】

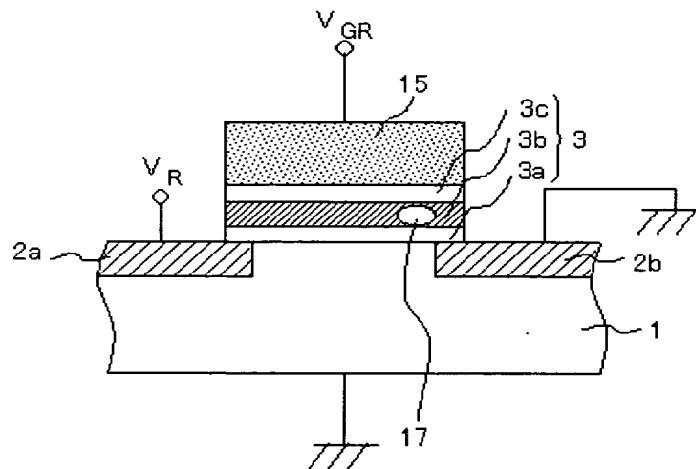


【図10】

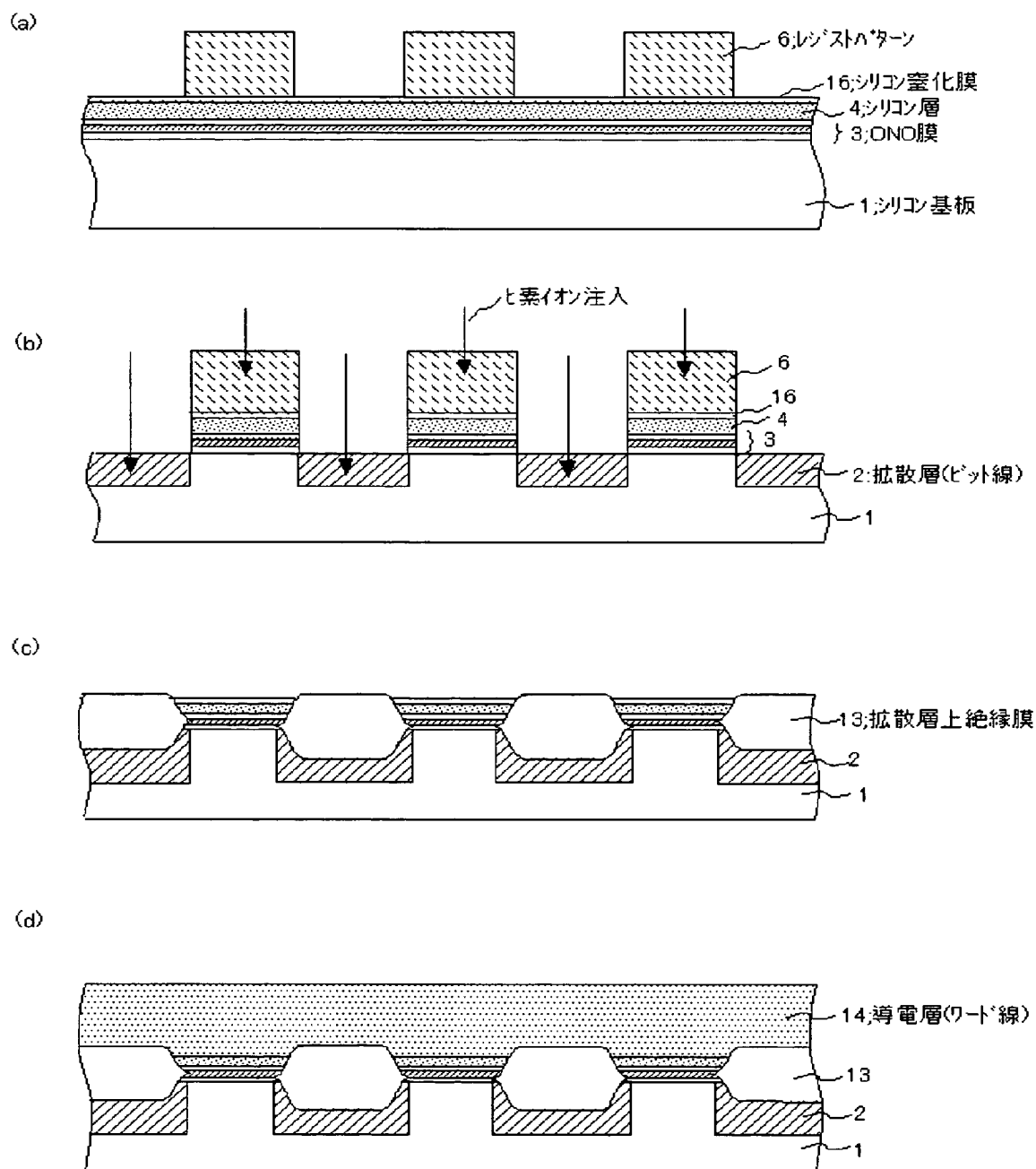
(a)



(b)



【図 11】



【書類名】 要約書

【要約】

【課題】

製造工程を複雑にすることなく、バースビークによる短チャネル化を抑制して微細化、高密度化を達成し、動作電圧の低電圧化及び電荷保持特性の向上を図ることができる不揮発性半導体記憶装置及びその製造方法の提供。

【解決手段】

シリコン基板 1 上に第 1 絶縁膜 3 a、第 2 絶縁膜 3 b、第 3 絶縁膜 3 c からなる ONO 膜 3 を形成した直後にシリコン層 4 を形成し、シリコン層 4 又は ONO 膜 3 上からヒ素イオン注入を行ってビット線を形成し、シリコン層 4 を残したまま第 2 導電層 7 を堆積して 2 層構造の導電層からなるワード線を形成する。これにより拡散層 2 を酸化しないため、バースビークを抑制し短チャネル効果による微細化限界を緩和し、ONO 膜の反りによる電荷保持特性の劣化を防止する。また、少なくともチャネル領域のシリコン層 4 を残すことにより、ONO 膜／シリコン層 4 界面の安定化を図る。

【選択図】

図 1

特願 2 0 0 2 - 3 5 7 1 7 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社